

【特許請求の範囲】**【請求項 1】**

基板と、
前記基板の上に設けられた下地層と、
前記下地層の上に実装された複数の発光素子と、
前記下地層の上に設けられ、前記複数の発光素子の間の空隙部に充填され、前記下地層と対向する側とは反対側に平坦面を有する、樹脂層と、
前記平坦面の上方に設けられ、前記平坦面と対向する側とは反対側に位置した鏡面と前記複数の発光素子に重なった複数の開口とを有する、光反射層と、を備える、
表示装置。

10

【請求項 2】

基板と、
前記基板の上に設けられた下地層と、
前記下地層の上に実装された複数の発光素子と、
前記下地層の上方に設けられ、前記下地層と対向する側とは反対側に位置した鏡面と前記複数の発光素子に重なった複数の開口とを有する、光反射層と、
前記鏡面と対向し、前記鏡面に隙間を置いて配置された透明導電層と、
前記光反射層と前記透明導電層との間に位置した調光層と、を備える、
表示装置。

20

【請求項 3】

前記下地層と前記光反射層との間に位置し、前記複数の発光素子の間の空隙部に充填され、前記光反射層と対向する側に平坦面を有する、樹脂層をさらに備える、
請求項 2 に記載の表示装置。

【請求項 4】

前記下地層は、前記基板と対向する側とは反対側に平坦面を有する樹脂層を有し、
前記調光層は、前記複数の発光素子の間の空隙部に充填されている、
請求項 2 に記載の表示装置。

【請求項 5】

前記下地層は、前記複数の発光素子の実装された複数の画素電極を有し、
各々の前記発光素子は、
前記複数の画素電極のうち対応する一画素電極に電氣的に接続された第 1 電極と、
前記第 1 電極とは反対側の第 2 電極と、
前記第 1 電極と前記第 2 電極との間に位置した発光層と、を有し、
前記透明導電層は、共通電極であり、前記複数の発光素子の前記第 2 電極に電氣的に接続されている、
請求項 4 に記載の表示装置。

30

【請求項 6】

各々の前記開口は、前記複数の発光素子のうち 2 以上の発光素子に重なっている、
請求項 1 又は 2 に記載の表示装置。

【請求項 7】

前記複数の発光素子のうち、第 1 色の第 1 発光素子、第 2 色の第 2 発光素子、及び第 3 色の第 3 発光素子をそれぞれ有する複数の画素をさらに備え、
各々の前記開口は、前記複数の画素のうち対応する一画素の前記第 1 発光素子、前記第 2 発光素子、及び前記第 3 発光素子に重なっている、
請求項 6 に記載の表示装置。

40

【請求項 8】

平面視にて、前記光反射層は、各々の前記発光素子に重なっていない、
請求項 1 又は 2 に記載の表示装置。

【請求項 9】

平面視にて、前記開口における前記光反射層の内周の少なくとも一部は、前記発光素子

50

に重なっている、
請求項 1 又は 3 に記載の表示装置。

【請求項 1 0】

前記平坦面の上方に設けられ、透明な導電材料で形成された共通電極をさらに備え、
前記下地層は、前記複数の発光素子を実装された複数の画素電極を有し、
各々の前記発光素子は、
前記複数の画素電極のうち対応する一画素電極に電氣的に接続された第 1 電極と、
前記第 1 電極とは反対側の第 2 電極と、
前記第 1 電極と前記第 2 電極との間に位置した発光層と、を有し、
前記樹脂層は、前記複数の発光素子の前記第 2 電極を露出させ、
前記共通電極は、前記複数の発光素子の前記第 2 電極に電氣的に接続されている、
請求項 1 又は 3 に記載の表示装置。

10

【請求項 1 1】

前記光反射層は、金属で形成され、前記共通電極に接している、
請求項 1 0 に記載の表示装置。

【請求項 1 2】

前記複数の発光素子は、それぞれ、マイクロ発光ダイオードである、
請求項 1 又は 2 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

20

【0 0 0 1】

本発明の実施形態は、表示装置に関する。

【背景技術】

【0 0 0 2】

一般に、鏡の中に表示装置を組み入れたミラーディスプレイが知られている。ミラーディスプレイは、液晶表示装置、有機エレクトロルミネッセンス EL 表示装置などの表示装置と、表示装置の画面側に位置した半透明鏡と、を備えている。ユーザは、半透明鏡を介して表示装置が表示する画像を視認することができる。

ところで、反射鏡と比較し半透明鏡の反射率は低い。そのため、半透明鏡による反射像と表示装置が表示する画像とを加算してみることが困難である。また、表示装置が表示する画像の透過率は、半透明鏡によって低下することになる。

30

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特表 2 0 1 7 - 5 2 1 8 5 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

本実施形態は、光反射特性の低下を抑制しつつ画像を表示することが可能な表示装置を提供する。

40

【課題を解決するための手段】

【0 0 0 5】

一実施形態に係る表示装置は、

基板と、前記基板の上に設けられた下地層と、前記下地層の上に実装された複数の発光素子と、前記下地層の上に設けられ、前記複数の発光素子の間の空隙部に充填され、前記下地層と対向する側とは反対側に平坦面を有する、樹脂層と、前記平坦面の上方に設けられ、前記平坦面と対向する側とは反対側に位置した鏡面と前記複数の発光素子に重なった複数の開口とを有する、光反射層と、を備える。

【0 0 0 6】

また、一実施形態に係る表示装置は、

50

基板と、前記基板の上に設けられた下地層と、前記下地層の上に実装された複数の発光素子と、前記下地層の上方に設けられ、前記下地層と対向する側とは反対側に位置した鏡面と前記複数の発光素子に重なった複数の開口とを有する、光反射層と、前記鏡面と対向し前記鏡面に隙間を置いて配置された透明導電層と、前記光反射層と前記透明導電層との間に位置した調光層と、を備える。

【図面の簡単な説明】

【0007】

【図1】図1は、第1の実施形態に係る表示装置の構成を示す斜視図である。

【図2】図2は、上記表示装置を示す回路図である。

【図3】図3は、上記第1の実施形態の副画素を示す等価回路図である。

10

【図4】図4は、図1に示した表示パネルを示す部分断面図である。

【図5】図5は、図1に示した画素のレイアウトを示す平面図であり、各種配線と、画素電極とを示す図である。

【図6】図6は、上記第1の実施形態の複数の発光素子及び光反射層を示す平面図である。

【図7】図7は、上記第1の実施形態の変形例1の複数の発光素子及び光反射層を示す平面図である。

【図8】図8は、上記第1の実施形態の変形例2の複数の発光素子及び光反射層を示す平面図である。

【図9】図9は、上記第1の実施形態の変形例3の複数の発光素子及び光反射層を示す平面図である。

20

【図10】図10は、上記第1の実施形態の変形例4の複数の発光素子及び光反射層を示す平面図である。

【図11】図11は、第2の実施形態に係る表示装置の表示パネルを示す部分断面図である。

【図12】図12は、第3の実施形態に係る表示装置の表示パネルを示す部分断面図である。

【図13】図13は、第4の実施形態に係る表示装置の表示パネルを示す部分断面図である。

【図14】図14は、第5の実施形態に係る表示装置の表示パネルを示す部分断面図である。

30

【図15】図15は、上述した表示装置（表示パネル）を化粧台の上の鏡に適用した例を説明するための図である。

【図16】図16は、上述した表示装置（表示パネル）を車のルームミラーに適用した例を説明するための図である。

【図17】図17は、上述した表示装置（表示パネル）を車のサイドミラーに適用した例を説明するための図である。

【発明を実施するための形態】

【0008】

以下に、本発明の各実施形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

40

【0009】

（第1の実施形態）

まず、第1の実施形態に係る表示装置について説明する。図1は、第1の実施形態に係る表示装置1の構成を示す斜視図である。図1は、本実施形態に係る表示装置1の構成を

50

示す斜視図である。図 1 は、第 1 方向 X と、第 1 方向 X に垂直な第 2 方向 Y と、第 1 方向 X 及び第 2 方向 Y に垂直な第 3 方向 Z によって規定される三次元空間を示している。なお、第 1 方向 X 及び第 2 方向 Y は、互いに直交しているが、90°以外の角度で交差していてもよい。また、本実施形態において、第 3 方向 Z を上と定義し、第 3 方向 Z と反対側の方向を下と定義する。「第 1 部材の上の第 2 部材」及び「第 1 部材の下の第 2 部材」とした場合、第 2 部材は、第 1 部材に接していてもよく、第 1 部材から離れて位置していてもよい。

【0010】

以下、本実施形態においては、表示装置 1 が自発光素子であるマイクロ発光ダイオード（以下、マイクロ LED (Light Emitting Diode) と称する）を用いたマイクロ LED 表示装置である場合について主に説明する。

10

【0011】

図 1 に示すように、表示装置 1 は、表示パネル 2、第 1 回路基板 3、及び第 2 回路基板 4 等を備えている。

表示パネル 2 は、一例では矩形の形状を有している。図示した例では、表示パネル 2 の短辺 EX は、第 1 方向 X と平行であり、表示パネル 2 の長辺 EY は、第 2 方向 Y と平行である。第 3 方向 Z は、表示パネル 2 の厚さ方向に相当する。表示パネル 2 の主面は、第 1 方向 X と第 2 方向 Y とにより規定される X - Y 平面に平行である。表示パネル 2 は、表示領域 DA、及び表示領域 DA 以外の非表示領域 NDA を有している。非表示領域 NDA は、端子領域 MT を有している。図示した例では、非表示領域 NDA は、表示領域 DA を囲んでいる。

20

【0012】

表示領域 DA は、画像を表示する領域であり、例えばマトリクス状に配置された複数の画素 PX を備えている。本実施形態において、表示領域 DA の形状は、四角形であるが、これに限らず、四角形以外の多角形、円形などであってもよい。また、表示領域 DA のサイズは非表示領域 NDA のサイズより大きい、これに限らず、表示領域 DA のサイズは非表示領域 NDA のサイズより小さくともよい。

端子領域 MT は、表示パネル 2 の短辺 EX に沿って設けられ、表示パネル 2 を外部装置などと電氣的に接続するための端子を含んでいる。

【0013】

30

第 1 回路基板 3 は、端子領域 MT の上に実装され、表示パネル 2 と電氣的に接続されている。第 1 回路基板 3 は、例えばフレキシブルプリント回路基板である。第 1 回路基板 3 は、表示パネル 2 を駆動する駆動 IC チップ（以下、パネルドライバと表記）5 などを備えている。なお、図示した例では、パネルドライバ 5 は、第 1 回路基板 3 の上に実装されているが、第 1 回路基板 3 の下に実装されていてもよい。又は、パネルドライバ 5 は、第 1 回路基板 3 以外に実装されていてもよく、例えば第 2 回路基板 4 に実装されていてもよい。第 2 回路基板 4 は、例えばフレキシブルプリント回路基板である。第 2 回路基板 4 は、第 1 回路基板 3 の例えば下方において第 1 回路基板 3 と接続されている。

【0014】

上記したパネルドライバ 5 は、例えば第 2 回路基板 4 を介して制御基板（図示せず）と接続されている。パネルドライバ 5 は、例えば制御基板から出力される映像信号に基づいて複数の画素 PX を駆動することによって表示パネル 2 に画像を表示する制御を実行する。

40

【0015】

なお、表示パネル 2 は、斜線を付して示す折り曲げ領域 BA を有していてもよい。折り曲げ領域 BA は、表示装置 1 が筐体に収容される際に折り曲げられる領域である。折り曲げ領域 BA は、非表示領域 NDA のうち端子領域 MT 側に位置している。折り曲げ領域 BA が折り曲げられた状態において、第 1 回路基板 3 及び第 2 回路基板 4 は、表示パネル 2 と対向するように、表示パネル 2 の下方に配置される。

【0016】

50

図 2 は、表示装置 1 を示す回路図である。図 3 は、本実施形態の副画素 S P を示す等価回路図である。なお、図 2 において、各種の配線の全てについて図示していない。

図 2 及び図 3 に示すように、表示パネル 2 は、光透過性を有する絶縁基板（基板）20、表示領域 D A にて絶縁基板 20 の上にマトリクス状に配列された複数の画素 P X、及び各種配線、走査線駆動回路 Y D R 1、Y D R 2、及び信号線駆動回路 X D R を備えている。

【0017】

各種配線は、複数本の第 1 走査線 S g a と、複数本の第 2 走査線 S g b と、複数本の第 3 走査線 S g c と、複数本の第 4 走査線 S g d と、複数本の映像信号線 V L と、複数本の高電位電源線 S L a と、複数本のリセット配線 S g r と、複数本の初期化配線 S g i と、

10

【0018】

本実施形態において、第 1 走査線 S g a、第 3 走査線 S g c、及び第 4 走査線 S g d は、走査線駆動回路 Y D R 1 に接続され、第 1 方向 X に延出して設けられている。第 2 走査線 S g b は、走査線駆動回路 Y D R 2 に接続され、第 1 方向 X に延出して設けられている。映像信号線 V L は、信号線駆動回路 X D R に接続され、第 2 方向 Y に延出して設けられている。高電位電源線 S L a、リセット配線 S g r、及び初期化配線 S g i は、第 2 方向 Y に延出して設けられている。表示パネル 2 は、高電位 P v d d に固定される高電位電源線 S L a だけでなく、低電位 P v s s に固定される低電位電源線 S L b も有している。高電位電源線 S L a は高電位電源に接続され、低電位電源線 S L b は低電位電源に接続されて

20

【0019】

走査線駆動回路 Y D R 1 は、第 1 走査線 S g a、第 3 走査線 S g c、及び第 4 走査線 S g d を駆動するように構成されている。走査線駆動回路 Y D R 2 は、第 2 走査線 S g b を駆動するように構成されている。信号線駆動回路 X D R は、映像信号線 V L を駆動するように構成されている。走査線駆動回路 Y D R 1、Y D R 2 及び信号線駆動回路 X D R は、非表示領域 N D A にて絶縁基板 20 の上に形成され、パネルドライバ 5 とともに駆動部 7 を構成している。

【0020】

各々の画素 P X は、複数の副画素 S P を有している。各々の副画素 S P は、発光素子 10 と、発光素子 10 に駆動電流を与える画素回路と、を含んでいる。発光素子 10 は、例えば自己発光素子であり、本実施形態では、マイクロ発光ダイオード（以下、マイクロ L E D（Light Emitting Diode）と称する）である。本実施形態の表示装置 1 は、マイクロ L E D 表示装置である。

30

【0021】

各副画素 S P の画素回路は、電圧信号からなる映像信号 V s i g に応じて発光素子 10 の発光を制御する電圧信号方式の画素回路であり、リセットスイッチ R S T、画素スイッチ S S T、初期化スイッチ I S T、出力スイッチ B C T、駆動トランジスタ D R T、保持容量 C s、及び補助容量 C a d を有している。保持容量 C s 及び補助容量 C a d は、キャパシタである。補助容量 C a d は発光電流量を調整するために設けられる素子であり、場合によっては不要となる場合もある。

40

【0022】

リセットスイッチ R S T、画素スイッチ S S T、初期化スイッチ I S T、出力スイッチ B C T、及び駆動トランジスタ D R T は、T F T（薄膜トランジスタ）により構成されている。本実施形態において、リセットスイッチ R S T、画素スイッチ S S T、初期化スイッチ I S T、出力スイッチ B C T、及び駆動トランジスタ D R T は、同一導電型、例えば N チャネル型の T F T により構成されている。なお、リセットスイッチ R S T、画素スイッチ S S T、初期化スイッチ I S T、出力スイッチ B C T、及び駆動トランジスタ D R T の一以上は、P チャネル型の T F T により構成されていてもよい。その場合、N チャネル型の T F T と P チャネル型の T F T を同時に形成してもよい。リセットスイッチ R S T、

50

画素スイッチ SST 、初期化スイッチ IST 、及び出力スイッチ $BC T$ は、スイッチとして機能すればよく、 TFT で構成されていなくともよい。

【0023】

本実施形態に係る表示装置 1 において、駆動トランジスタ $DR T$ 及び各スイッチをそれぞれ構成した TFT は全て同一工程、同一層構造で形成され、半導体層に多結晶シリコンを用いたトップゲート構造の薄膜トランジスタである。なお、半導体層は、非晶質シリコン、酸化物半導体など、多結晶シリコン以外の半導体を利用してもよい。

【0024】

リセットスイッチ RST 、画素スイッチ SST 、初期化スイッチ IST 、出力スイッチ $BC T$ 、及び駆動トランジスタ $DR T$ は、それぞれ、第 1 端子、第 2 端子、及び制御端子を有している。本実施形態では、第 1 端子をソース電極、第 2 端子をドレイン電極、制御端子をゲート電極としている。

10

【0025】

画素 PX の画素回路において、駆動トランジスタ $DR T$ 及び出力スイッチ $BC T$ は、高電位電源線 $SL a$ と低電位電源線 $SL b$ との間で発光素子 10 と直列に接続されている。高電位電源線 $SL a$ (高電位 $Pvdd$) は例えば 10 V の電位に設定され、低電位電源線 $SL b$ (低電位 $Pvss$) は、例えば 1.5 V の電位に設定されている。

【0026】

出力スイッチ $BC T$ において、ドレイン電極は高電位電源線 $SL a$ に接続され、ソース電極は駆動トランジスタ $DR T$ のドレイン電極に接続され、ゲート電極は第 2 走査線 Sgb に接続されている。これにより、出力スイッチ $BC T$ は、第 2 走査線 Sgb に与えられる制御信号 BG によりオン (導通状態)、オフ (非導通状態) 制御される。出力スイッチ $BC T$ は、制御信号 BG に応答して、発光素子 10 の発光時間を制御する。

20

【0027】

駆動トランジスタ $DR T$ において、ドレイン電極は出力スイッチ $BC T$ のソース電極に接続され、ソース電極は発光素子 10 の一方の電極 (ここでは陽極) に接続されている。発光素子 10 の他方の電極 (ここでは陰極) は、低電位電源線 $SL b$ に接続されている。駆動トランジスタ $DR T$ は、映像信号 $Vsig$ に応じた電流量の駆動電流を発光素子 10 に出力する。

【0028】

30

画素スイッチ SST において、ソース電極は映像信号線 VL に接続され、ドレイン電極は駆動トランジスタ $DR T$ のゲート電極に接続され、ゲート電極は信号書き込み制御用ゲート配線として機能する第 3 走査線 Sgc に接続されている。画素スイッチ SST は、第 3 走査線 Sgc から供給される制御信号 SG によりオン、オフ制御される。そして、画素スイッチ SST は、制御信号 SG に応答して、画素回路と映像信号線 VL との接続、非接続を制御し、映像信号線 VL から映像信号 $Vsig$ を画素回路に取り込む。

【0029】

初期化スイッチ IST において、ソース電極は初期化配線 Sgi に接続され、ドレイン電極は駆動トランジスタ $DR T$ のゲート電極に接続され、ゲート電極は第 1 走査線 Sga に接続されている。初期化スイッチ IST は、第 1 走査線 Sga から供給される制御信号 IG によりオン、オフ制御される。そして、初期化スイッチ IST は、制御信号 IG に応答して、画素回路と初期化配線 Sgi との接続、非接続を制御する。画素回路と初期化配線 Sgi とを初期化スイッチ IST にて接続することにより、初期化配線 Sgi から初期化電位 (初期化電圧) $Vini$ を画素回路に取り込むことができる。

40

【0030】

リセットスイッチ RST は、駆動トランジスタ $DR T$ のソース電極とリセット配線 Sgr との間に接続されている。リセットスイッチ RST のゲート電極はリセット制御用ゲート配線として機能する第 4 走査線 Sgd に接続されている。上記のように、リセット配線 Sgr は、リセット電源に接続され、定電位であるリセット電位 $Vrst$ に固定される。リセットスイッチ RST は、第 4 走査線 Sgd を通して与えられる制御信号 RG に応じて

50

、導通状態（オン）又は非導通状態（オフ）に切替えられる。リセットスイッチ R S T がオン状態に切替えられることにより、駆動トランジスタ D R T のソース電極の電位をリセット電位 V_{rst} にリセットすることができる。

【0031】

保持容量 C_s は、駆動トランジスタ D R T のゲート電極とソース電極との間に接続されている。補助容量 C_{ad} は、駆動トランジスタ D R T のソース電極と定電位の配線としての高電位電源線 S L a との間に接続されている。

【0032】

一方、図 2 に示すパネルドライバ 5 は、走査線駆動回路 Y D R 1、Y D R 2 及び信号線駆動回路 X D R を制御する。パネルドライバ 5 は外部から供給されるデジタル映像信号及び同期信号を受け取り、垂直走査タイミングを制御する垂直走査制御信号、および水平走査タイミングを制御する水平走査制御信号を同期信号に基づいて発生する。

10

【0033】

そして、パネルドライバ 5 は、これら垂直走査制御信号及び水平走査制御信号をそれぞれ走査線駆動回路 Y D R 1、Y D R 2 及び信号線駆動回路 X D R に供給するとともに、水平及び垂直走査タイミングに同期してデジタル映像信号及び初期化信号を信号線駆動回路 X D R に供給する。

【0034】

信号線駆動回路 X D R は、水平走査制御信号の制御により各水平走査期間において順次得られる映像信号をアナログ形式に変換し階調に応じた映像信号 V_{sig} を複数の映像信号線 V L に供給する。パネルドライバ 5 は、高電位電源線 S L a を高電位 P_{vdd} に固定し、リセット配線 S g r をリセット電位 V_{rst} に固定し、初期化配線 S g i を初期化電位 V_{ini} に固定する。なお、高電位電源線 S L a の電位、リセット配線 S g r の電位、及び初期化配線 S g i の電位は、信号線駆動回路 X D R を介して設定されてもよい。

20

【0035】

走査線駆動回路 Y D R 1、Y D R 2 には、パネルドライバ 5 よりスタートパルス信号 S T V、クロック信号 C K V などが与えられる。

走査線駆動回路 Y D R 1、Y D R 2 は、図示しないシフトレジスタ、出力バッファ等を含み、スタートパルス信号 S T V を順次次段のシフトレジスタに転送し、出力バッファを介して各行の副画素 S P に 4 種類の制御信号、すなわち、制御信号 I G、B G、S G、R G を供給する。これにより、第 1 走査線 S g a、第 2 走査線 S g b、第 3 走査線 S g c、及び第 4 走査線 S g d は、それぞれ制御信号 I G、B G、S G、R G により駆動される。

30

【0036】

次に、図 4 を参照して、駆動トランジスタ D R T、リセットスイッチ R S T、画素電極 P E、発光素子 10、低電位電源線 S L b、共通電極 C E、光反射層 R E などの構造について説明する。図 4 は、図 1 に示した表示パネル 2 を示す部分断面図である。なお、図 4 では、表示パネル 2 を、表示面、すなわち光出射面が上方を向き、背面が下方を向くように描いている。

【0037】

図 4 に示すように、表示パネル 2 は、絶縁基板 20 と、絶縁基板 20 の上に設けられた絶縁層 21、22、23、24、25、26 と、複数の画素 P X と、を備えている。複数の画素 P X は、絶縁基板 20 の上に設けられ、表示領域 D A に位置し、複数色の副画素 S P を含んでいる。

40

【0038】

絶縁基板 20 としては、主に、石英、無アルカリガラス等のガラス基板、またはポリイミド等の樹脂基板を用いることができる。絶縁基板 20 の材質は、T F T を製造する際の処理温度に耐える材質であればよい。絶縁基板 20 が可撓性を有する樹脂基板である場合、表示装置 1 をシートディスプレイとして構成することができる。樹脂基板としては、ポリイミドに限らず、他の樹脂材料を用いてもよい。なお、絶縁基板 20 にポリイミドなどを用いる場合、絶縁基板 20 を有機絶縁層又は樹脂層と称した方が適当な場合があり得る

50

。

【0039】

絶縁層21は、絶縁基板20の上に設けられている。絶縁層21の上に、各種のTFTが形成されている。表示領域DAにおいて、絶縁層21の上に、駆動トランジスタDRT、リセットスイッチRSTなどが形成され、非表示領域NDAにおいて、絶縁層21の上に走査線駆動回路YDRを構成するTFTなどが形成されている。駆動トランジスタDRTなどのTFTは、半導体層SCと、ゲート電極GEと、第1電極E1と、第2電極E2と、を備えている。

【0040】

半導体層SCは、絶縁層21の上に配置されている。絶縁層22は、絶縁層21及び半導体層SCの上に設けられている。ゲート電極GEは、絶縁層22の上に配置され、半導体層SCのチャネル領域と対向している。絶縁層23は、絶縁層22及びゲート電極GEの上に設けられている。第1電極E1及び第2電極E2は、絶縁層23の上に配置されている。第1電極E1及び第2電極E2は、それぞれ絶縁層22及び絶縁層23に形成されたコンタクトホールを通り、対応する半導体層SCに電氣的に接続されている。

10

【0041】

本実施形態において、絶縁層22の上に、導電層CLが形成されている。駆動トランジスタDRTの第1電極E1は、対応する半導体層SCだけではなく、導電層CLにも電氣的に接続されている。リセットスイッチRSTの第2電極E2は、対応する半導体層SCだけではなく、導電層CLにも電氣的に接続されている。そのため、駆動トランジスタD

20

R及びリセットスイッチRSTは、導電層CLを介して電氣的に接続されている。
非表示領域NDAにおいて、低電位電源線SLbは、絶縁層23の上に配置されている。絶縁層24は、絶縁層23、第1電極E1、第2電極E2、及び低電位電源線SLbの上に設けられている。

【0042】

第1導電層CL1及び第2導電層CL2は、絶縁層24の上に配置されている。第1導電層CL1は、絶縁層24に形成されたコンタクトホールを通り第1電極E1に電氣的に接続されている。第2導電層CL2は、絶縁層24に形成されたコンタクトホールを通り第2電極E2に電氣的に接続されている。

【0043】

絶縁層25は、絶縁層24、第1導電層CL1、及び第2導電層CL2の上に設けられている。画素電極PEは、絶縁層25の上に配置されている。画素電極PEは、絶縁層25に形成されたコンタクトホールCHを通り第1導電層CL1に電氣的に接続されている。画素電極PEは、駆動トランジスタDRTに電氣的に接続され、駆動トランジスタDRTから電流値が制御された信号が与えられる。

30

【0044】

絶縁層26は、絶縁層25及び画素電極PEの上に設けられている。図示しないが、絶縁層26は、複数の画素電極PEの上に位置し、複数の画素電極PEを覆っている。絶縁層26は、画素電極PEの表面の一部に発光素子10を実装するための開口を有している。絶縁層26の上記開口の大きさは、発光素子10の実装工程における実装ずれ量等を考慮し、発光素子10よりも一回り大きめのサイズである。例えば、発光素子10が実質的に $4\mu\text{m} \times 4\mu\text{m}$ の実装面積、乃至 $5\mu\text{m} \times 5\mu\text{m}$ の実装面積である場合、上記開口は実質的に $8\mu\text{m} \times 8\mu\text{m}$ 、乃至 $10\mu\text{m} \times 10\mu\text{m}$ は確保されることが好ましい。

40

【0045】

上記のように、絶縁基板20の上には、絶縁層21から絶縁層26までの積層構造を有する下地層BLが設けられている。下地層BLは、例えば、複数の画素電極PEを有している。

【0046】

ここで、絶縁層21, 22, 23, 24, 25, 26は、無機絶縁材料又は有機絶縁材料で形成されている。本実施形態において、絶縁層21, 22, 23, 25, 26は、無

50

機絶縁材料として、例えばシリコン酸化物（ SiO_2 ）、又はシリコン窒化物（ SiN ）で形成されている。

絶縁層 24 は、樹脂材料として、例えば感光性アクリル樹脂で形成されている。絶縁層 24 は、絶縁層 23 と対向する側とは反対側に平坦面 SU1 を有している。そのため、絶縁層 24 は、平坦化層である。

【0047】

半導体層 SC は、ポリシリコンとして低温ポリシリコンで形成されている。但し、半導体層 SC は、アモルファスシリコン、酸化物半導体など、ポリシリコン以外の半導体で形成されていてもよい。ゲート電極 GE 及び導電層 CL は、同層に位置し、同一の導電材料として金属で形成されている。例えば、ゲート電極 GE 及び導電層 CL は、MoW（モリブデン・タングステン）で形成されている。

10

【0048】

第 1 電極 E1、第 2 電極 E2、及び低電位電源線 SLb は、同層に位置し、同一の導電材料として金属で形成されている。例えば、第 1 電極 E1、第 2 電極 E2、及び低電位電源線 SLb は、それぞれ三層積層構造（Ti 系 / Al 系 / Ti 系）が採用され、Ti（チタン）、Ti を含む合金など Ti を主成分とする金属材料からなる下層と、Al（アルミニウム）、Al を含む合金など Al を主成分とする金属材料からなる中間層と、Ti、Ti を含む合金など Ti を主成分とする金属材料からなる上層と、を有している。ここではトップゲート型の TFT を例として説明しているが、TFT はボトムゲート型の TFT であってもよい。

20

駆動トランジスタ DRT などのスイッチは、絶縁層 24 で覆われている。

【0049】

第 1 導電層 CL1 及び第 2 導電層 CL2 は、同層に位置し、同一の導電材料として金属又は透明導電材料で形成されている。画素電極 PE は、導電材料として金属で形成されている。例えば、画素電極 PE は、単一の導電層、三層積層構造、又は二層積層構造を有している。

【0050】

三層積層構造において、画素電極 PE は、Ti 系 / Al 系 / Ti 系に限らず、Mo 系 / Al 系 / Mo 系であってもよい。Mo 系 / Al 系 / Mo 系において、画素電極 PE は、Mo（モリブデン）、Mo を含む合金など Mo を主成分とする金属材料からなる下層と、Al、Al を含む合金など Al を主成分とする金属材料からなる中間層と、Mo、Mo を含む合金など Mo を主成分とする金属材料からなる上層と、を有している。

30

【0051】

二層積層構造において、画素電極 PE は、Al を主成分とする金属材料からなる下層と、Ti を主成分とする金属材料からなる上層と、を有している。又は、画素電極 PE は、Mo を主成分とする金属材料からなる下層と、Al を主成分とする金属材料からなる上層と、を有している。なお、画素電極 PE は、透明導電材料で形成されていてもよい。

【0052】

表示領域 DA において、下地層 BL の上に複数の発光素子 10 が実装されている。詳しくは、発光素子 10 は、画素電極 PE の上に実装されている。発光素子 10 は、第 1 電極としての陽極 AN と、第 2 電極としての陰極 CA と、光を放出する発光層 LI と、を有している。発光素子 10 は、第 1 色、第 2 色、及び第 3 色の発光色を有するものがそれぞれ用意されており、陽極 AN は、対応する画素電極 PE に電氣的に接続され、固定されている。本実施形態において、第 1 色は赤色（R）であり、第 2 色は緑色（G）であり、第 3 色は青色（B）である。

40

【0053】

発光素子 10 の陽極 AN と画素電極 PE との間の接合は、両者の間で良好な導通が確保でき、かつ、絶縁基板 20 から絶縁層 26 までの積層構造を破損しないものであれば特に限定されるものではない。例えば低温溶融のはんだ材料を用いたリフロー工程や、導電ペーストを介して発光素子 10 を画素電極 PE 上に載せた後に焼成結合する等の手法、ある

50

いは画素電極 P E の表面と、発光素子 1 0 の陽極 A N とに同系材料を用い、超音波接合等の固相接合の手法を採用することができる。発光素子 1 0 は、画素電極 P E に電氣的に接続されている陽極 A N の反対側に陰極 C A を有している。

【 0 0 5 4 】

発光素子 1 0 が実装された下地層 B L の上に、樹脂層 3 1 が設けられている。樹脂層 3 1 は、複数の発光素子 1 0 の間の空隙部に充填されている。樹脂層 3 1 は、下地層 B L と対向する側とは反対側に平坦面 S U 2 を有している。そのため、樹脂層 3 1 は、平坦化層である。樹脂層 3 1 は、発光素子 1 0 のうち陰極 C A の表面を露出させている。

【 0 0 5 5 】

共通電極 C E は、少なくとも表示領域 D A に位置し、平坦面 S U 2 の上方に設けられている。共通電極 C E は、樹脂層 3 1 及び複数の発光素子 1 0 の上に配置され、複数の画素の発光素子 1 0 を覆っている。共通電極 C E は、複数の陰極 C A に接触し、複数の陰極 C A と電氣的に接続されている。共通電極 C E は、複数の副画素 S P で共用されている。

10

【 0 0 5 6 】

共通電極 C E は、非表示領域 N D A に延在し、非表示領域 N D A において、低電位電源線 S L b に電氣的に接続されている。共通電極 C E は、樹脂層 3 1 、絶縁層 2 6 、絶縁層 2 5 、及び絶縁層 2 4 に形成されたコンタクトホールを通り低電位電源線 S L b にコンタクトしている。そのため、共通電極 C E は、低電位電源線 S L b の電位と同一の定電位に保持され、低電位電源線 S L b と全ての発光素子 1 0 の陰極 C A とを電氣的に接続している。

20

【 0 0 5 7 】

共通電極 C E は、発光素子 1 0 からの出射光を取り出すために、透明電極として形成する必要があり、透明な導電材料として例えば I T O (インジウム・ティン・オキサイド) を用いて形成されている。

【 0 0 5 8 】

なお、樹脂層 3 1 は、平坦面 S U 2 を有していればよく、発光素子 1 0 の陰極 C A まで達しないような膜厚で形成されていてもよい。共通電極 C E が形成される表面には発光素子 1 0 の実装に伴う凹凸の一部が残存しているが、共通電極 C E を形成する材料が段切れすることなく連続的に覆うことができればよい。

【 0 0 5 9 】

平坦面 S U 2 の上方に、光反射層 R E が設けられている。光反射層 R E は、実質的に、表示パネル 2 の全域に位置している。光反射層 R E は、少なくとも表示領域 D A に位置している。光反射層 R E は、平坦面 S U 2 と対向する側とは反対側に位置した鏡面 M S と、複数の発光素子 1 0 に重なった複数の開口 O P 1 と、開口 O P 2 と、を有している。光反射層 R E は、平坦面 S U 2 の上方に配置されているため、鏡面 M S は平坦である。開口 O P 2 は、共通電極 C E と低電位電源線 S L b とのコンタクト部を囲んでいる。

30

【 0 0 6 0 】

本実施形態において、光反射層 R E は、共通電極 C E の上に位置し、共通電極 C E に接している。光反射層 R E は、光反射性の材料として、銀 (A g) 、 A l などの金属材料で形成されている。そのため、光反射層 R E は、共通電極 C E に電氣的に接続されている。なお、光反射層 R E は、平坦面 S U 2 と共通電極 C E との間に位置していてもよい。

40

上記のように、光反射層 R E は、共通電極 C E に電氣的に接続されていた方が望ましい。なぜなら、共通電極 C E の単独の電気抵抗より、共通電極 C E 及び光反射層 R E の積層体の電気抵抗を低くすることができるためである。

【 0 0 6 1 】

光反射層 R E の厚み T は、特に限定されるものではないが、外光を十分に反射することができるように設定されていた方が望ましい。また、厚み T は、樹脂層 3 1 及び共通電極 C E を介した発光素子 1 0 からの光を十分に反射することができるように設定されていた方が望ましい。例えば、光反射層 R E を A g で形成する場合、厚み T が 2 0 0 n m あれば、上記外光や上記発光素子 1 0 からの光を十分に反射することが可能である。

50

また、光反射層 R E は、反射鏡を構成している。そのため、半透明鏡と比較して、光反射層 R E は、高い光反射率を得ることができる。

【 0 0 6 2 】

上記のように、表示パネル 2 は、絶縁基板 2 0 から光反射層 R E までの構造を有している。本実施形態に係る発光素子 1 0 を表示素子として用いる表示装置 1 は、例えば以上のように構成されている。なお、必要に応じて、共通電極 C E の上にカバーガラスなどのカバー部材やタッチパネル基板等が設けられてもよい。

【 0 0 6 3 】

次に、画素 P X のレイアウトについて説明する。図 5 は、図 1 に示した画素 P X のレイアウトを示す平面図であり、各種配線と、画素電極 P E とを示す図である。

図 5 に示すように、各々の画素 P X は、複数の副画素 S P を有している。本実施形態において、各々の画素 P X は、第 1 色の副画素 S P a、第 2 色の副画素 S P b、及び第 3 色の副画素 S P c の 3 色の副画素 S P を有している。副画素 S P a は画素電極 P E a を有し、副画素 S P b は画素電極 P E b を有し、副画素 S P c は画素電極 P E c を有している。画素電極 P E a は、第 1 方向 X にて、距離を置いて画素電極 P E c と隣り合っている。画素電極 P E b は、第 2 方向 Y にて、距離を置いて画素電極 P E c と隣り合っている。

【 0 0 6 4 】

次に、発光素子 1 0 及び光反射層 R E について説明する。図 6 は、本実施形態の複数の発光素子 1 0 及び光反射層 R E を示す平面図である。ここでは、第 1 方向 X 及び第 2 方向 Y に隣合う 4 個の画素 P X を示している。図中、光反射層 R E には斜線を付している。

図 6 に示すように、各々の画素 P X は、第 1 色の発光素子 1 0 a、第 2 色の発光素子 1 0 b、及び第 3 色の発光素子 1 0 c を備えている。発光素子 1 0 a は上記画素電極 P E a の上に実装され、発光素子 1 0 b は上記画素電極 P E b の上に実装され、発光素子 1 0 c は上記画素電極 P E c の上に実装されている（図 5 ）。

【 0 0 6 5 】

本実施形態において、開口 O P 1 は、発光素子 1 0 に一対一で対応している。平面視にて、一の開口 O P 1 は、対応する一の発光素子 1 0 を完全に露出させている。言い換えると、平面視にて、光反射層 R E は、各々の発光素子 1 0 に重なっていない。上記のことから、本実施形態では、発光素子 1 0 の発光が光反射層 R E によって遮蔽される事態を回避することができる。表示画像の輝度レベルは光反射層 R E によって低下しないため、ユーザは、表示装置 1 が表示する画像を良好に視認することができる。

【 0 0 6 6 】

本実施形態において、発光素子 1 0 は、平面視にて四角形の形状を有している。発光素子 1 0 の各辺は、第 1 方向 X 又は第 2 方向 Y に平行である。発光素子 1 0 の各辺の幅 W 1 は、例えば 4 乃至 5 μm である。開口 O P 1 は、平面視にて四角形の形状を有している。開口 O P 1 の各辺は、第 1 方向 X 又は第 2 方向 Y に平行である。開口 O P 1 の各辺の幅 W 2 は、上記幅 W 1 よりも大きい。

【 0 0 6 7 】

上記のように構成された第 1 の実施形態に係る表示装置 1 によれば、表示装置 1 は、絶縁基板 2 0、下地層 B L、複数の発光素子 1 0、樹脂層 3 1、及び光反射層 R E を備えている。樹脂層 3 1 は、下地層 B L の上に設けられ、複数の発光素子 1 0 の間の空隙部に充填され、平坦面 S U 2 を有している。光反射層 R E は、平坦面 S U 2 の上方に設けられ、鏡面 M S と複数の開口 O P 1 とを有している。

光反射層 R E に開口 O P 1 を設けることで、鏡面 M S により外光を反射する領域と、発光素子 1 0 が発光する領域とを独立させることができる。上記のことから、光反射特性の低下を抑制しつつ画像を表示することが可能な表示装置 1 を得ることができる。

【 0 0 6 8 】

（第 1 の実施形態の変形例 1 ）

次に、上記第 1 の実施形態の変形例 1 について説明する。図 7 は、上記第 1 の実施形態の変形例 1 の複数の発光素子 1 0 及び光反射層 R E を示す平面図である。

図 7 に示すように、本変形例 1 において、各々の開口 O P 1 は、複数の発光素子 1 0 のうち 2 以上の発光素子 1 0 に重なっている点で、上記第 1 の実施形態と相違している。各々の開口 O P 1 は、複数の画素 P X のうち対応する一画素 P X の発光素子（第 1 発光素子）1 0 a、発光素子（第 2 発光素子）1 0 b、及び発光素子（第 3 発光素子）1 0 c に重なっている。そして、本変形例 1 においても、平面視にて、光反射層 R E は、各々の発光素子 1 0 に重なっていない。

【0069】

本変形例 1 において、発光素子 1 0 の幅 W 1 は、例えば 4 乃至 5 μm である。開口 O P 1 の幅 W 2 は、上記幅 W 1 よりも大きい。上記幅 W 2 は、例えば、10 乃至 20 μm である。好ましくは、上記幅 W 2 は、15 乃至 20 μm である。

10

【0070】

上記のように構成された第 1 の実施形態の変形例 1 に係る表示装置 1 においても、上記第 1 の実施形態と同様の効果を得ることができる。上記第 1 の実施形態と比較し、変形例 1 では、画素 P X 毎に 3 個の発光素子 1 0 を密集させ、光反射層 R E に設ける開口 O P 1 の個数を減少させ、鏡面 M S の面積を増大させることができる。上記のことから、光反射特性の低下を、一層、抑制することができる。

【0071】

（第 1 の実施形態の変形例 2）

次に、上記第 1 の実施形態の変形例 2 について説明する。図 8 は、上記第 1 の実施形態の変形例 2 の複数の発光素子 1 0 及び光反射層 R E を示す平面図である。

20

図 8 に示すように、本変形例 2 において、光反射層 R E が発光素子 1 0 に重なっている点で、上記第 1 の実施形態と相違している。

平面視にて、開口 O P 1 における光反射層 R E の内周 I N の少なくとも一部は、発光素子 1 0 に重なっている。本変形例 2 において、内周 I N の全体が、発光素子 1 0 に重なっている。

【0072】

上記のように構成された第 1 の実施形態の変形例 2 に係る表示装置 1 においても、上記第 1 の実施形態と同様の効果を得ることができる。上記第 1 の実施形態と比較し、本変形例 2 では、鏡面 M S の面積を増大させることができる。上記のことから、一層、光反射特性に優れた表示装置 1 を得ることができる。

30

【0073】

（第 1 の実施形態の変形例 3）

次に、上記第 1 の実施形態の変形例 3 について説明する。図 9 は、上記第 1 の実施形態の変形例 3 の複数の発光素子 1 0 及び光反射層 R E を示す平面図である。

図 9 に示すように、本変形例 3 において、光反射層 R E が発光素子 1 0 に重なっている点で、上記変形例 1（図 7）と相違している。

平面視にて、開口 O P 1 における光反射層 R E の内周 I N の少なくとも一部は、発光素子 1 0 に重なっている。本変形例 3 において、内周 I N は、画素 P X の 3 個の発光素子 1 0 に重なっている。

【0074】

40

上記のように構成された第 1 の実施形態の変形例 3 に係る表示装置 1 においても、上記変形例 1 と同様の効果を得ることができる。上記変形例 1 と比較し、本変形例 3 では、鏡面 M S の面積を増大させることができる。上記のことから、一層、光反射特性に優れた表示装置 1 を得ることができる。

【0075】

（第 1 の実施形態の変形例 4）

次に、上記第 1 の実施形態の変形例 4 について説明する。図 10 は、上記第 1 の実施形態の変形例 4 の複数の発光素子 1 0 及び光反射層 R E を示す平面図である。

図 10 に示すように、画素 P X の発光素子 1 0 a, 1 0 b, 1 0 c（画素電極 P E a, P E b, P E c）は、第 1 方向 X に並べられ、第 2 方向 Y に延在し、ストライプ状（縦ス

50

トライブ状)に配置されていてもよい。

【0076】

開口OP1は、一画素PXの発光素子10a, 10b, 10cに重なっている。平面視にて、光反射層REは各々の発光素子10に重なっていない。但し、開口OP1と発光素子10との関係はこの例に限定されるものではない。上記第1の実施形態(図6)のように、開口OP1は、発光素子10に一对一で対応していてもよい。又は、上記変形例2(図8)及び上記変形例3(図9)のように、光反射層REは、各々の発光素子10に重なっていてもよい。

上記のように構成された第1の実施形態の変形例4に係る表示装置1においても、上記第1の実施形態と同様の効果を得ることができる。

10

【0077】

(第2の実施形態)

次に、第2の実施形態に係る表示装置について説明する。図11は、第2の実施形態に係る表示装置1の表示パネル2を示す部分断面図である。

図11に示すように、共通電極CEを設ける位置及び発光素子10の構成に関して、上記第1の実施形態と相違している。共通電極CEは、絶縁層25の上に位置している。共通電極CEは、例えば、画素電極PEと同じ材料で形成されている。共通電極CEは、低電位電源線SLbに接続されている。絶縁層26は、絶縁層25、画素電極PE、及び共通電極CEの上に設けられている。絶縁層26は、発光素子10を画素電極PE及び共通電極CEに接続するための開口を有している。

20

【0078】

発光素子10において、陽極ANだけではなく陰極CAも下地層BL側に位置している。陽極ANは画素電極PEに接続され、陰極CAは共通電極CEに接続されている。

光反射層REは、樹脂層31の平坦面SU2の上に設けられている。本第2の実施形態において、光反射層REに関する電氣的な制限はない。例えば、光反射層REは、接地電位などの低電位に固定されていてもよい。又は、光反射層REは、電氣的にフローティング状態にあってもよい。

【0079】

上記のように構成された第2の実施形態に係る表示装置1においても、上記第1の実施形態と同様の効果を得ることができる。

30

【0080】

(第3の実施形態)

次に、第3の実施形態に係る表示装置について説明する。図12は、第3の実施形態に係る表示装置1の表示パネル2を示す部分断面図である。

図12に示すように、表示パネル2が透明導電層51、調光層LDなどをさらに備えている点で、本第3の実施形態は、上述した実施形態と相違している。

【0081】

光反射層REは、下地層BLの上方に設けられている。本第3の実施形態において、光反射層REは、樹脂層31の上方に設けられている。詳しくは、光反射層REは共通電極CEの上に設けられている。光反射層REは、下地層BLと対向する側とは反対側に位置した鏡面MSと、複数の発光素子10に重なった複数の開口OP1とを有している。

40

【0082】

表示パネル2は、配向膜AF1、透明な絶縁基板50、透明導電層51、配向膜AF2、調光層LD、及び偏光板POをさらに備えている。本実施形態において、調光層LDは液晶材料で形成された液晶層である。配向膜AF1は、共通電極CE及び光反射層REの上に設けられている。

【0083】

絶縁基板50は、配向膜AF1に隙間を置いて対向配置されている。絶縁基板50の配向膜AF1側の面には、透明導電層51及び配向膜AF2が順に配置されている。絶縁基板50としては、主に、石英、無アルカリガラス等のガラス基板、またはポリイミド等の

50

樹脂基板を用いることができる。絶縁基板 50 が可撓性を有する樹脂基板である場合、表示装置 1 をシートディスプレイとして構成することができる。樹脂基板としては、ポリイミドに限らず、他の樹脂材料を用いてもよい。

【0084】

透明導電層 51 は、光反射層 RE の鏡面 MS と対向し、鏡面 MS に隙間を置いて配置されている。透明導電層 51 は、透明な導電材料として例えば ITO を用いて形成されている。絶縁基板 50 と透明導電層 51 との間に、絶縁層を付加してもよい。例えば、絶縁基板 50 が樹脂基板である場合、絶縁基板 50 と透明導電層 51 との間に無機絶縁膜を付加してもよい。

【0085】

調光層 LD は、光反射層 RE と透明導電層 51 との間に位置している。そして、調光層 LD は、配向膜 AF1 と配向膜 AF2 との間に保持されている。配向膜 AF1 及び配向膜 AF2 は、調光層 LD に接している。

本実施形態と異なり、調光層 LD が電気泳動分散液で形成されていてもよい。その場合、配向膜 AF1 及び配向膜 AF2 を絶縁層（無機絶縁層）に置き換えたりすればよい。

【0086】

調光層 LD は、明るさを調整する調光機能を有している。透明導電層 51 は、駆動部 7 によって駆動される。調光層 LD には、光反射層 RE（共通電極 CE）と透明導電層 51 との間に印加される電圧をかけることができる。偏光板 PO は、絶縁基板 50 の透明導電層 51 側とは反対側に配置されている。

【0087】

調光層（液晶層）60 の液晶分子は、光（偏光）の変調率に寄与し、上記変調率を高くしたり、低くしたり、することができる。これにより、調光層 LD は、鏡面 MS に入射され、鏡面 MS で反射される光の透過率を調整することができる。光反射層 RE は、調光層 LD、偏光板 PO などとともに防眩ミラーとして機能することもできるため、ユーザは、表示装置 1 が表示する画像を、一層、良好に視認することができる。

【0088】

上記のように構成された第 2 の実施形態に係る表示装置 1 においても、上述した第 1 の実施形態と同様の効果を得ることができる。表示装置 1 は、透明導電層 51、調光層 LD などをさらに備えているため、防眩ミラーとして機能することも可能である。

【0089】

（第 4 の実施形態）

次に、第 4 の実施形態に係る表示装置について説明する。図 13 は、第 4 の実施形態に係る表示装置 1 の表示パネル 2 を示す部分断面図である。

図 13 に示すように、本第 4 の実施形態の技術は、上記第 2 の実施形態（図 11）の技術と、上記第 3 の実施形態（図 12）の技術との組み合わせに相当している。

【0090】

共通電極 CE は、絶縁層 25 の上に位置している。絶縁層 26 は、絶縁層 25、画素電極 PE、及び共通電極 CE の上に設けられている。絶縁層 26 は、発光素子 10 を画素電極 PE 及び共通電極 CE に接続するための開口を有している。発光素子 10 において、陽極 AN は画素電極 PE に接続され、陰極 CA は共通電極 CE に接続されている。光反射層 RE は、樹脂層 31 の平坦面 SU2 の上に設けられている。本第 4 の実施形態において、光反射層 RE は、駆動部 7 によって駆動される。

【0091】

表示パネル 2 は、配向膜 AF1、絶縁基板 50、透明導電層 51、配向膜 AF2、調光層 LD、及び偏光板 PO をさらに備えている。調光層 LD には、光反射層 RE と透明導電層 51 との間に印加される電圧をかけることができる。調光層 LD は、調光機能を有している。光反射層 RE は、調光層 LD、偏光板 PO などとともに防眩ミラーとして機能することもできるため、ユーザは、表示装置 1 が表示する画像を、一層、良好に視認することができる。

10

20

30

40

50

【 0 0 9 2 】

なお、光反射層 R E は、発光素子 1 0 に重なる領域に形成されておらず、発光素子 1 0 に重なる領域に開口 O P 1 を有している。そのため、光反射層 R E と透明導電層 5 1 との間に電圧が印加されても、調光層 L D のうち発光素子 1 0 に重なる領域の配向状態は変化し難いものである。

上記のように構成された第 4 の実施形態に係る表示装置 1 においても、上記第 3 の実施形態と同様の効果を得ることができる。

【 0 0 9 3 】

(第 5 の実施形態)

次に、第 5 の実施形態に係る表示装置について説明する。図 1 4 は、第 5 の実施形態に係る表示装置 1 の表示パネル 2 を示す部分断面図である。

図 1 4 に示すように、本第 5 の実施形態の表示パネル 2 は、樹脂層 3 1 無しに形成されている点で、上記第 3 の実施形態 (図 1 2) と相違している。光反射層 R E は、平坦面 S U 2 の上方に配置されているため、鏡面 M S は平坦である。下地層 B L の絶縁層 2 4 は、樹脂層であり、絶縁基板 2 0 と対向する側とは反対側に平坦面 S U 1 を有している。

【 0 0 9 4 】

透明導電層 5 1 は、共通電極 C E である。配向膜 A F 2 は、発光素子 1 0 に重なった領域に開口 O P 3 を有している。開口 O P 3 は、透明導電層 5 1 を露出させている。調光層 L D は、複数の発光素子 1 0 の間の空隙部に充填されている。各々の発光素子 1 0 において、陽極 A N は複数の画素電極 P E のうち対応する一画素電極 P E に電氣的に接続され、陰極 C A は陽極 A N とは反対側に位置し、発光層 L I は陽極 A N と陰極 C A との間に位置している。透明導電層 5 1 は、複数の発光素子 1 0 の陰極 C A に電氣的に接続されている。

【 0 0 9 5 】

透明導電層 5 1 は、低電位電源線 S L b の電位と同一の定電位に保持され、低電位電源線 S L b と全ての発光素子 1 0 の陰極 C A とを電氣的に接続している。光反射層 R E は、駆動部 7 によって駆動される。調光層 L D には、光反射層 R E と透明導電層 5 1 との間に印加される電圧をかけることができる。

上記のように構成された第 5 の実施形態に係る表示装置 1 においても、上記第 3 の実施形態と同様の効果を得ることができる。

【 0 0 9 6 】

次に、上述した表示装置 1 の用途について説明する。

図 1 5 に示すように、化粧台 1 1 の上の鏡 1 2 を上記表示装置 1 (表示パネル 2) で構成してもよい。鏡 1 2 は、鏡本来の機能だけではなく、外光に起因していない画像 P I を表示する機能も備えている。ここでは、鏡 1 2 が、「 A B C 」の文字列の画像 P I を表示している例を示している。

【 0 0 9 7 】

図 1 6 に示すように、車のルームミラー 1 3 を上記表示装置 1 (表示パネル 2) で構成してもよい。ルームミラー 1 3 は、鏡としての機能だけではなく、画像 P I を表示する機能も備えている。ここでは、ルームミラー 1 3 が、「 A B C 」の文字列の画像 P I を表示している例を示している。

【 0 0 9 8 】

図 1 7 に示すように、車のサイドミラー 1 4 を上記表示装置 1 (表示パネル 2) で構成してもよい。ここでは、サイドミラー 1 4 が、「 A B C 」の文字列の画像 P I を表示している例を示している。

【 0 0 9 9 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形例は、発明の範囲

10

20

30

40

50

や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。必要に応じて、複数の実施形態及び複数の変形例の 2 以上を組合せることも可能である。

【 0 1 0 0 】

例えば、発光素子 10 は、ミニ LED などのマイクロ LED 以外の自発光素子であってもよい。なお、マイクロ LED は上記幅 W1 が 100 μm 以下の LED であり、ミニ LED は上記幅 W1 が 100 μm を超え 200 μm 以下である LED である。

【符号の説明】

【 0 1 0 1 】

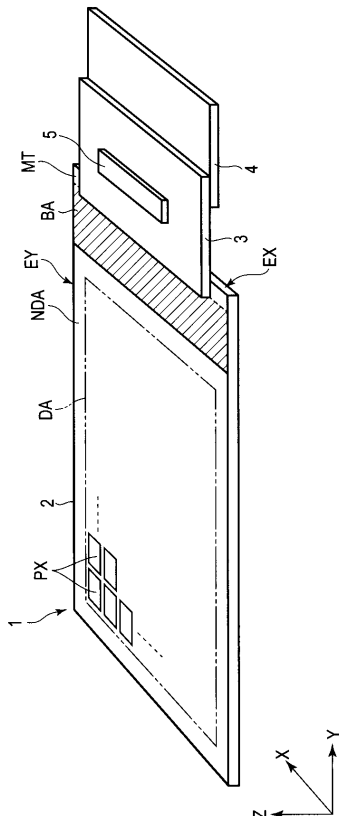
1 ... 表示装置、2 ... 表示パネル、2 0 ... 絶縁基板、B L ... 下地層、
2 1 , 2 2 , 2 3 , 2 4 , 2 5 , 2 6 ... 絶縁層、S U 1 ... 平坦面、3 1 ... 樹脂層、
S U 2 ... 平坦面、P X ... 画素、S P , S P a , S P b , S P c ... 副画素、
R S T ... リセットスイッチ、S S T ... 画素スイッチ、I S T ... 初期化スイッチ、
B C T ... 出力スイッチ、D R T ... 駆動トランジスタ、S C ... 半導体層、
G E ... ゲート電極、E 1 ... 第 1 電極、E 2 ... 第 2 電極、C s ... 保持容量、
C a d ... 補助容量、C L 1 ... 導電層、P E , P E a , P E b , P E c ... 画素電極、
1 0 , 1 0 a , 1 0 b , 1 0 c ... 発光素子、A N ... 陽極、C A ... 陰極、L I ... 発光層、
C E ... 共通電極、R E ... 光反射層、M S ... 鏡面、O P ... 開口、I N ... 内周、
5 0 ... 絶縁基板、5 1 ... 透明導電層、L D ... 調光層、P O ... 偏光板、D A ... 表示領域、
N D A ... 非表示領域、X ... 第 1 方向、Y ... 第 2 方向、Z ... 第 3 方向。

10

20

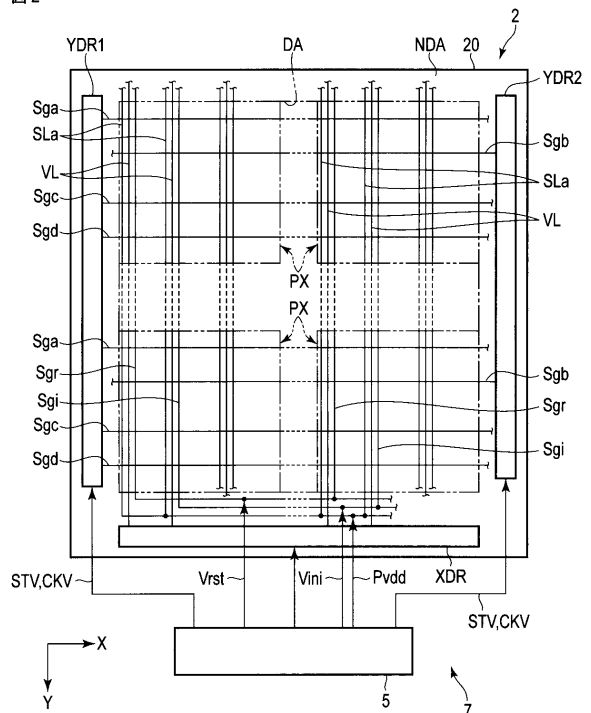
【 図 1 】

图 1

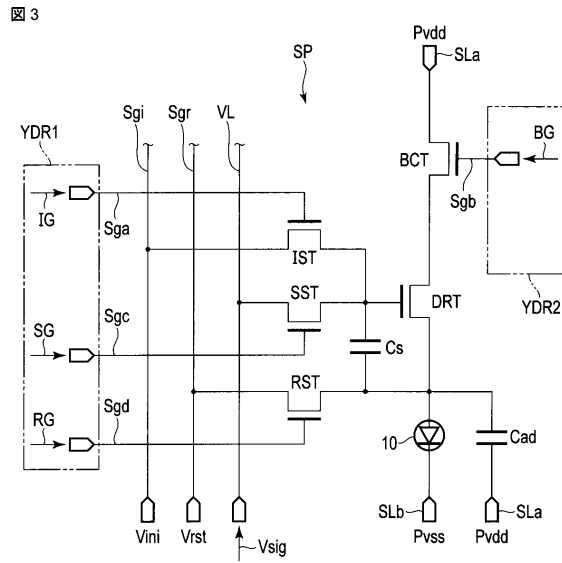


【 図 2 】

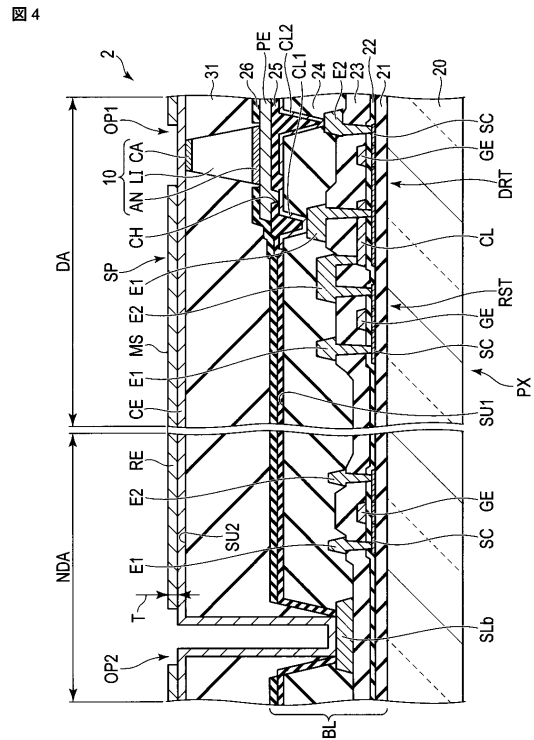
图 2



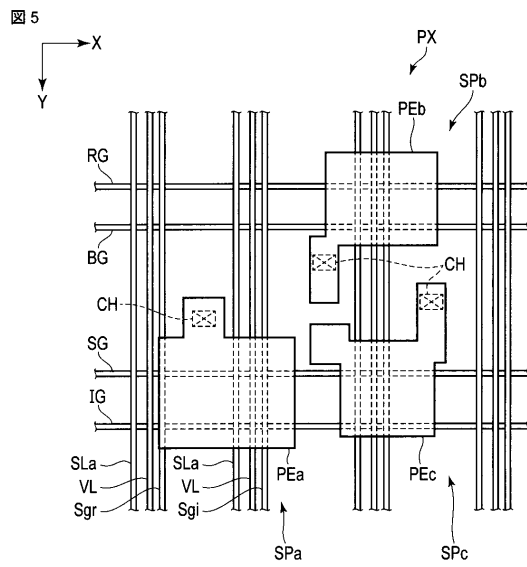
【図 3】



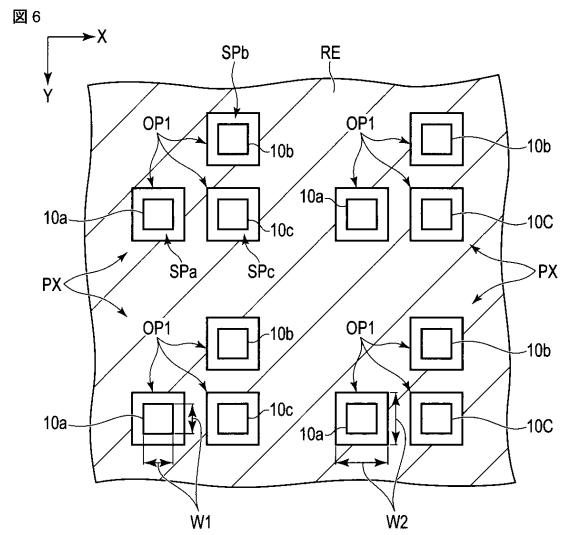
【図 4】



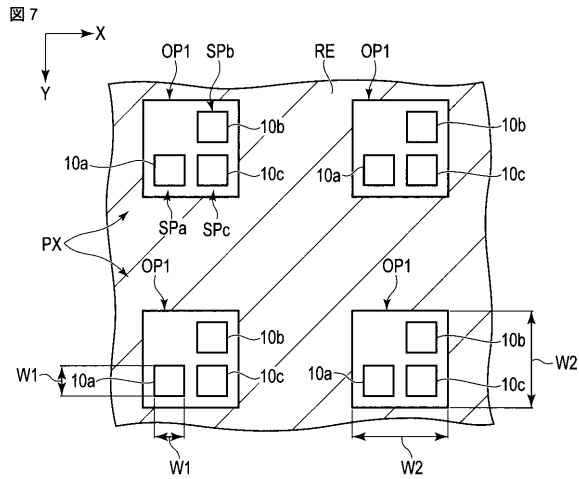
【図 5】



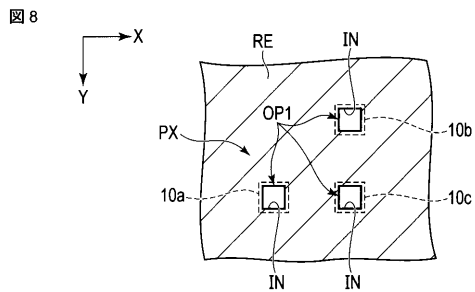
【図 6】



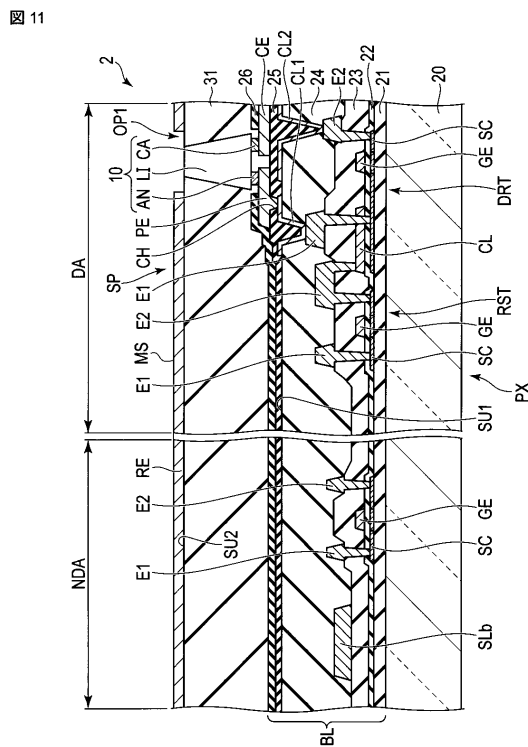
【図 7】



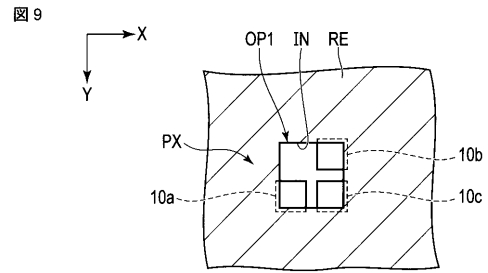
【図 8】



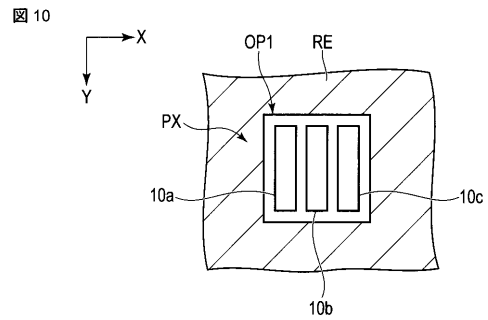
【図 11】



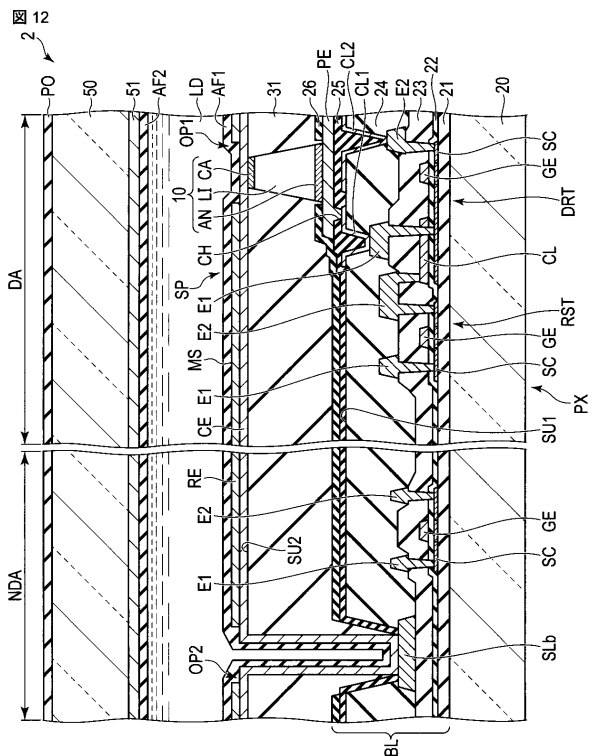
【図 9】



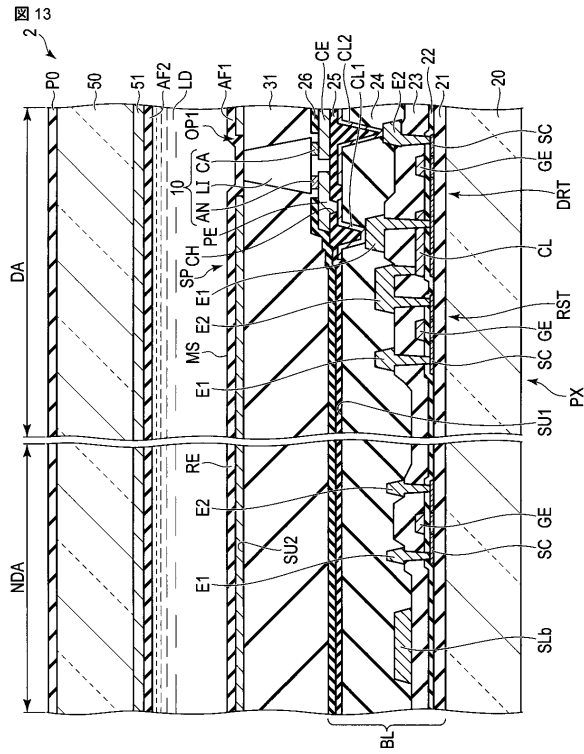
【図 10】



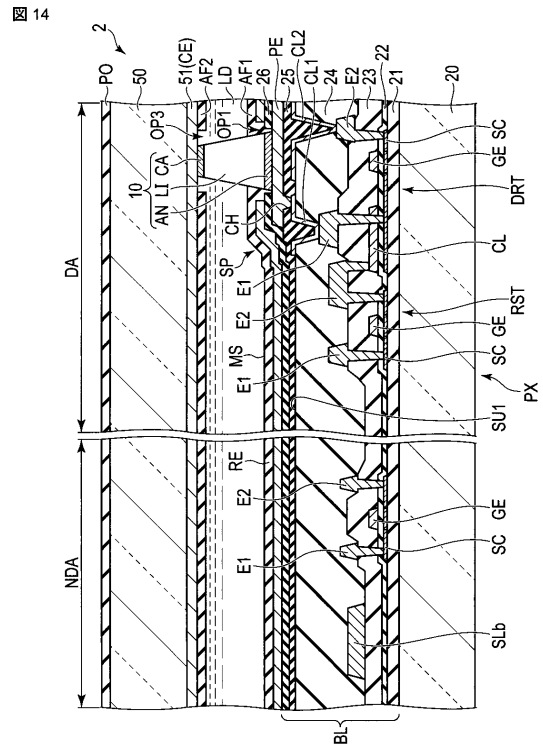
【図 12】



【図 13】

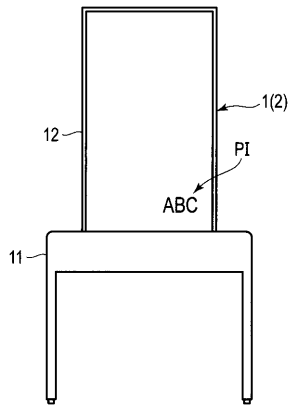


【図 14】



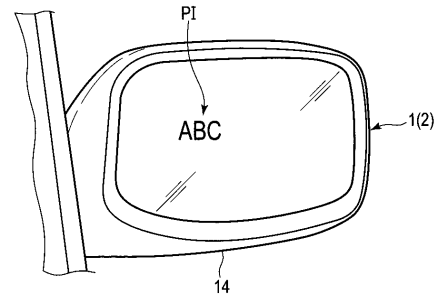
【図 15】

図 15



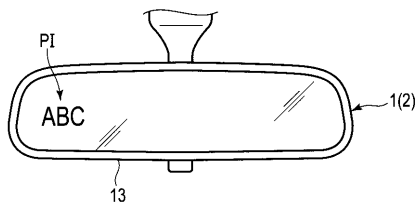
【図 17】

図 17



【図 16】

図 16



フロントページの続き

(51) Int. Cl. F I テーマコード (参考)
G 0 2 F 1/1333 (2006.01) G 0 2 F 1/1333

F ターム (参考) 5C094 AA01 BA12 BA25 CA19 CA24 DA13 EA04 EA05 EA07 ED11
ED20 FB01 FB12
5F142 BA32 CD43 CE04 CE08 CG03 CG27

专利名称(译)	显示装置		
公开(公告)号	JP2020101752A	公开(公告)日	2020-07-02
申请号	JP2018241216	申请日	2018-12-25
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	金谷康弘		
发明人	金谷 康弘		
IPC分类号	G09F9/33 G09F9/30 H01L33/00 G02F1/13 G02F1/1335 G02F1/1333		
FI分类号	G09F9/33 G09F9/30.349.D H01L33/00.L G02F1/13.505 G02F1/1335.520 G02F1/1333		
F-TERM分类号	2H088/EA33 2H088/EA36 2H088/HA04 2H088/HA21 2H088/HA28 2H088/MA06 2H189/AA14 2H189/FA81 2H189/LA06 2H189/LA20 2H189/MA01 2H189/NA03 2H291/FA31Z 2H291/FA85Z 2H291/MA06 2H291/NA09 2H291/NA38 5C094/AA01 5C094/BA12 5C094/BA25 5C094/CA19 5C094/CA24 5C094/DA13 5C094/EA04 5C094/EA05 5C094/EA07 5C094/ED11 5C094/ED20 5C094/FB01 5C094/FB12 5F142/BA32 5F142/CD43 5F142/CE04 5F142/CE08 5F142/CG03 5F142/CG27		
外部链接	Espacenet		

摘要(译)

解决的问题:提供一种能够在抑制光反射特性恶化的同时显示图像的显示装置。显示装置包括基板(20),基底层BL,多个发光元件10,树脂层31和光反射层RE。树脂层31设置在基底层BL上,填充在多个发光元件10之间的空间中,并且具有平坦的表面SU2。光反射层RE设置在平坦表面SU2上方,并且具有镜面MS和多个开口OP1。[选择图]图4

图 4

